

日本国特許庁
JAPAN PATENT OFFICE

10/801,597
7-30-4

10/801,597

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年10月10日
Date of Application:

出願番号 特願2003-351893
Application Number:
[ST. 10/C]: [JP 2003-351893]

願人 株式会社東芝
Applicant(s):

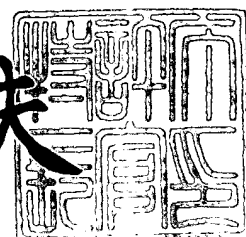
BEST AVAILABLE COPY

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 3月29日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 03P186
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 16/00
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイクロ
 エレクトロニクスセンター内
 【氏名】 田中 智晴
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100092820
 【弁理士】
 【氏名又は名称】 伊丹 勝
【手数料の表示】
 【予納台帳番号】 026893
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9810498

【書類名】 特許請求の範囲**【請求項 1】**

複数の電氣的書き換え可能な不揮発性メモリトランジスタが直列接続されて構成された NAND ストリングが配列されたメモリセルアレイと、

前記メモリセルアレイの消去、書き込み及び読み出しを行うための消去／書き込み／読み出し制御回路とを有し、

前記メモリセルアレイの各 NAND ストリング内の少なくとも一つのメモリトランジスタが、前記メモリセルアレイをそれぞれデータ消去の単位となる複数ブロックに分割するためのブロック分離用トランジスタとして制御されることを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記メモリセルアレイは、

一方向に配列された NAND ストリングのブロック分離用トランジスタの制御ゲートに共通接続されるブロック分離用ゲート線と、

一方向に配列された NAND ストリングの残りのメモリトランジスタの制御ゲートにそれぞれ共通接続される複数のワード線と、

各 NAND ストリングの一端が第 1 の選択ゲートトランジスタを介して接続される、前記ワード線と交差する複数のビット線と、

各 NAND ストリングの他端が第 2 の選択ゲートトランジスタを介して接続される共通ソース線と、

一方向に配列された前記第 1 及び第 2 の選択ゲートトランジスタのゲートにそれぞれ共通接続される第 1 及び第 2 の選択ゲート線とを有することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記消去／書き込み／読み出し制御回路は、

前記メモリセルアレイのワード線、第 1 及び第 2 の選択ゲート線及びブロック分離用ゲート線を選択して駆動するロウ制御回路と、

前記メモリセルアレイのビット線に選択的に接続されてデータをセンスし書き込みデータを保持するセンスアンプを有するカラム制御回路と、

前記メモリセルアレイの共通ソース線の電圧を制御するソース線制御回路と、

前記メモリセルアレイが形成された半導体ウェルの電圧を制御するウェル制御回路とを有する

ことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】

電氣的書き換え可能な不揮発性メモリトランジスタが直列接続された NAND ストリングが配列されたメモリセルアレイと、

前記メモリセルアレイの一方向に配列された NAND ストリング内でブロック分離用トランジスタとして選択された少なくとも一つのメモリトランジスタの制御ゲートが共通接続されるブロック分離用ゲート線と、

前記メモリセルアレイの一方向に配列された NAND ストリング内の残りのメモリトランジスタの制御ゲートがそれぞれ共通接続される複数のワード線と、

前記メモリセルアレイの各 NAND ストリングの一端が接続される、前記ブロック分離用ゲート線及びワード線と交差する複数のビット線と、

前記ブロック分離用ゲート線とワード線を選択的に駆動するとともに、データ消去時に前記ブロック分離用ゲート線に与える制御電圧により前記メモリセルアレイをそれぞれ消去単位となる複数ブロックに分ける制御を行うロウ制御回路と、

前記ビット線に接続されて、データをセンスし書き込みデータを保持するセンスアンプを有するカラム制御回路と、

前記メモリセルアレイが形成された半導体ウェルの電圧を制御するためのウェル制御回路と、

前記メモリセルアレイの各NANDストリングの他端が接続される共通ソース線の電圧を制御するソース線制御回路とを有する
ことを特徴とする不揮発性半導体記憶装置。

【請求項5】

前記メモリセルアレイは、各NANDストリングの一端を対応するビット線に接続するための第1の選択ゲートトランジスタ及び、他端を共通ソース線に接続するための第2の選択ゲートトランジスタを有し、

前記メモリセルアレイの一方向に配列された第1及び第2の選択ゲートトランジスタのゲートはそれぞれ前記ワード線と並行する第1及び第2の選択ゲート線に接続され、

前記第1及び第2の選択ゲート線は前記ロウ制御回路により制御される
ことを特徴とする請求項4記載の不揮発性半導体記憶装置。

【請求項6】

前記メモリセルアレイの各NANDストリング内の連続する二つのメモリトランジスタがブロック分離用トランジスタとして用いられ、前記メモリセルアレイの一NANDストリング長の範囲は前記ブロック分離用トランジスタを挟んで二つのブロックに分けられている

ことを特徴とする請求項1又は4記載の不揮発性半導体記憶装置。

【請求項7】

各NANDストリング内の二つのブロック分離用トランジスタの制御ゲートがそれぞれ接続される二つのブロック分離用ゲート線は、互いに独立に制御される
ことを特徴とする請求項6記載の不揮発性半導体記憶装置。

【請求項8】

各NANDストリング内の二つのブロック分離用トランジスタの制御ゲートがそれぞれ接続される二つのブロック分離用ゲート線は、共通に制御される
ことを特徴とする請求項6記載の不揮発性半導体記憶装置。

【請求項9】

前記ブロック分離用トランジスタは、電氣的書き込み動作により所定のしきい値電圧状態に設定される

ことを特徴とする請求項1又は4記載の不揮発性半導体記憶装置。

【請求項10】

前記ブロック分離用トランジスタ以外のメモリトランジスタは、しきい値電圧が負のデータ“1”状態と、しきい値電圧が第1の正值以上であるデータ“0”状態のいずれか一方を書き換え可能に記憶するものであり、

前記ブロック分離用トランジスタは、しきい値電圧が前記第1の正值より高い第2の正值以上の状態に書き込まれている

ことを特徴とする請求項1又は4記載の不揮発性半導体記憶装置。

【請求項11】

選択ブロックのデータ消去は、非選択ブロックの全ワード線、前記第1及び第2の選択ゲート線、前記ブロック分離用ゲート線、前記ビット線及び共通ソース線をフローティング状態とし、選択ブロック内の全ワード線に接地電圧を、前記メモリセルアレイが形成された半導体ウェルに正の消去電圧を与えて行われる

ことを特徴とする請求項2又は4記載の不揮発性半導体記憶装置。

【請求項12】

データ書き込みは、前記メモリセルアレイの選択されたビット線及びこれにつながるNANDストリングをデータに応じてプリチャージした後、第1の選択ゲート線及び第2の選択ゲート線にそれぞれ電源電圧及び接地電圧を、選択ブロック内の選択ワード線に正の書き込み電圧を、選択ブロック内の非選択ワード線に電源電圧より高くかつ書き込み電圧より低い正の第1の制御電圧を、非選択ブロックの全ワード線及びブロック分離用ゲート線に電源電圧より高くかつ前記第1の制御電圧より低い第2の制御電圧を与えて、行われる

ことを特徴とする請求項 2 又は 4 記載の不揮発性半導体記憶装置。

【書類名】明細書

【発明の名称】不揮発性半導体記憶装置

【技術分野】

【0001】

この発明は、電氣的書き換え可能な不揮発性半導体記憶装置（EEPROM）に係り、特にNAND型フラッシュメモリに関する。

【背景技術】

【0002】

フラッシュメモリは、メモリセル（メモリトランジスタ）の浮遊ゲートの電荷量に応じて異なるしきい値電圧をデータとして記憶する。例えば、負のしきい値状態を論理“1”データ、正のしきい値状態を論理“0”データとして記憶する。データ書き換え（消去及び書き込み）は、メモリセルの浮遊ゲートの電荷量を電氣的に変化させることにより行われる。

【0003】

フラッシュメモリの1つにNAND型フラッシュメモリがある。このフラッシュメモリでは、複数のメモリセルが直列に接続されて、NANDストリング（セルユニット）を構成する。NANDストリングの一端は、第1の選択ゲートトランジスタを介してビット線に、他端は第2の選択ゲートトランジスタを介してソース線に接続される。NANDストリング内で複数のメモリセルは、隣接するもの同士でソース、ドレイン拡散層を共有する。従って、1つのメモリセルに対する選択ゲートトランジスタやコンタクト部の領域の比を、NOR型と比べて小さくすることができ、高密度なフラッシュメモリが実現されている。

【0004】

NANDストリング中の選択されたメモリセル以外のメモリセルは書き込みあるいは読み出し中に電流経路となるように制御することで、NANDストリング内で選択的にメモリセルの書き込みあるいは読み出しが可能である。消去は一般に、NANDストリング内のメモリセル全てが同時に選択され、一括消去される。

【0005】

より具体的に説明すれば、セルアレイは、ワード線に沿って配列される複数のメモリセルの集合が1ページ或いは2ページを構成し、またワード線方向に配列される複数のNANDストリングの集合が1ブロックを構成する。そしてデータ読み出し或いは書き込みはページ単位で行われ、データ消去はブロック単位で行われる。

【0006】

NAND型フラッシュメモリは、最小加工寸法を小さくすることにより、NANDストリング自体の寸法を小さくすることができるが、選択ゲートトランジスタやコンタクト部はその加工寸法の微細化ほどは縮まらなくなっている。このような問題に対して、選択ゲートトランジスタの配線構造を改良して、NAND型フラッシュメモリの高密度化を図る技術は提案されている（例えば、特許文献1参照）。

【0007】

一方、NANDストリングを構成するメモリセルの数を増やすことにより、フラッシュメモリの高密度を維持しようとする、データ消去の単位が大きくなり、使い勝手が悪くなる。この点に関して、ページ単位或いは複数ページを含むサブブロック単位でデータ消去を行う技術が提案されている（例えば、特許文献2参照）。また、1ブロックを分離用トランジスタにより複数のサブブロックに分けて、各サブブロックを消去単位とする技術も提案されている（例えば、特許文献3参照）。

【特許文献1】特開2002-26153号公報

【特許文献2】特開平11-176177号公報

【特許文献3】特開2000-222895号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

従来のNANDフラッシュメモリのセルアレイ構成を変更することなく、ページ単位或いはサブブロック単位でデータ消去を行う方式では、データ書き換え時、非選択サブブロックのメモリセルに消去ストレスや書き込みストレスがかかる。このため、データ書き換え回数が制限されるという問題がある。

【0009】

これに対して、ブロック内に分離用トランジスタを配置する方式を用いると、非選択サブブロックの消去ストレスや書き込みストレスを小さくすることができる。しかし、消去ストレスや書き込みストレスを抑制しながら、サブブロック分離を確実にするためには、分離用トランジスタのしきい値を最適値に調整できることが望まれる。

【0010】

この発明は、メモリトランジスタをブロック分離用トランジスタとして用いて消去ブロックを設定する不揮発性半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

この発明の一態様による不揮発性半導体記憶装置は、複数の電氣的書き換え可能な不揮発性メモリトランジスタが直列接続されて構成されたNANDストリングが配列されたメモリセルアレイと、前記メモリセルアレイの消去、書き込み及び読み出しを行うための消去／書き込み／読み出し制御回路とを有し、前記メモリセルアレイの各NANDストリング内の少なくとも一つのメモリトランジスタが、前記メモリセルアレイをそれぞれデータ消去の単位となる複数ブロックに分割するためのブロック分離用トランジスタとして制御されることを特徴としている。

【発明の効果】

【0012】

この発明によると、メモリトランジスタをブロック分離用トランジスタとして用いて消去ブロックを設定する不揮発性半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

【0013】

以下、図面を参照して、この発明の実施の形態を説明する。

【0014】

図1は、この発明の一実施の形態によるフラッシュメモリの機能ブロック構成を示す。メモリセルアレイ1は、電氣的書き換え可能な不揮発性メモリトランジスタ（メモリセル）がマトリクス状に配置されて構成されている。メモリセルアレイ1のビット線を制御し、メモリセルのデータ消去、メモリセルへのデータ書き込み、また、メモリセルからのデータ読み出しを行うカラム制御回路2がメモリセルアレイ1に隣接して設けられている。カラム制御回路2は、セルデータを読み出すためのセンスアンプ回路、読み出し及び書き込みデータを保持するデータラッチ、及びカラム選択ゲートを有する。

【0015】

メモリセルアレイ1のワード線を選択し、選択及び非選択ワード線に消去、書き込み、読み出しに必要な電圧を印加するためにロウ制御回路3が設けられている。即ちロウ制御回路3は、ワード線を選択するロウデコーダと、選択及び非選択ワード線に所定の駆動電圧を与えるワード線ドライバを含む。また、メモリセルアレイ1の共通ソース線を制御するソース線制御回路4とメモリセルアレイ1が形成されたp型ウェルの電圧を制御するウェル制御回路5が設けられている。

【0016】

即ちこれらの制御回路2, 3, 4, 5は、メモリセルアレイ1の各部に動作モードに応じて必要な制御電圧を与えて、データの消去読み出し及び書き込みを行うための消去／書き込み／読み出し制御回路を構成している。

【0017】

外部のホストデバイス（表示無し）にI/O端子を介して接続され、書き込みデータの

受け取り、読み出しデータの出力、アドレスデータやコマンドデータの受け取りを行うデータ入出力バッファ6が設けられる。データ入出力バッファ6は、受け取った書き込みデータをカラム制御回路2に送り、カラム制御回路2から読み出したデータを受け取る他、メモリセルの選択をするため、外部からのアドレスデータをカラム制御回路2やロウ制御回路3にステートマシン8を介して送る。コマンド・インタフェース7は、ホストデバイスからの外部制御信号を受け、データ入出力バッファ6に入力されたデータが書き込みデータかコマンドデータかアドレスデータかを判断し、コマンドデータであれば受け取りコマンド信号としてステートマシン8に転送する。

【0018】

ステートマシン8は、フラッシュメモリ全体の管理を行う。即ちホストデバイスからのコマンドを受け、読み出し、書き込み、消去の制御や、データの入出力制御を行う。

【0019】

図2は、メモリセルアレイ1の構成を示す図である。メモリセルアレイ1は複数のブロックBLK0-1023に分割されている。各ブロックBLK*i*はデータ消去の単位である。図3は、メモリセルアレイ1の構成を詳細に示している。メモリセル（メモリトランジスタ）は、互いに交差するビット線BLとワード線の各交差部に配置される。ここでは、10個のメモリトランジスタM0-M9が直列接続されて、NANDストリング（NANDセルユニット）NUを構成している。各NANDストリングの両端部には、選択ゲートトランジスタS1、S2が配置されている。

【0020】

即ち、NANDストリングNUの一端は選択ゲートトランジスタS1を介してビット線BLに接続され、他端は選択ゲートトランジスタS2を介して共通ソース線CELSRCに接続される。10個のメモリトランジスタM0-M9のうち、共通ソース線コンタクト側の4個のメモリトランジスタM0-M3の制御ゲートはそれぞれ、ワード線WL0-WL3に接続され、ビット線コンタクト側の4個のメモリトランジスタM6-M9の制御ゲートはそれぞれワード線WL4-WL7に接続される。

【0021】

この実施の形態において、NANDストリングNUを構成する10個のメモリトランジスタM0-M9の内、中央部に配置された連続する2個のメモリトランジスタM4、M5は、データ記憶には用いられず、ブロック分離用トランジスタとして用いられる。従って、これらのブロック分離用トランジスタM4、M5の制御ゲートは、ワード線WLと同時にこれらと並行するように形成されたブロック分離用ゲート線SGI0、SGI1に接続される。選択ゲートトランジスタS1、S2のゲートは、ワード線WLと並行する選択ゲート線SGD、SGSにそれぞれ接続されている。

【0022】

この実施の形態では、メモリセルアレイ1の1-NANDストリング長の範囲が、メモリトランジスタM4、M5を制御するブロック分離用ゲート線SGI0、SGI1を挟んで、ビット線方向にブロックBLK*i*-1、BLK*i*に二分割され、それぞれが独立にデータ消去されるデータ消去単位となる。即ち、通常のNANDフラッシュメモリにおいては、1-NANDストリング長の範囲がデータ消去単位である1ブロックとされていたのに対して、この実施の形態では従来の1ブロックが二つに分けられている。

【0023】

偶数番目のビット線BL_e0-BL_e4225と奇数番目のビット線BL_o0-BL_o4225につながるメモリセルでは、互いに独立にデータの書き込みと読み出しが行われる。即ち、1本のワード線WLに繋がる8512個のメモリトランジスタのうち、偶数番目のビット線BL_eに接続される4256個のメモリトランジスタに対して同時にデータの書き込みと読み出しが行われる。各メモリトランジスタが1ビットのデータを記憶するものとして、4256個のメモリセルのデータが1ページを構成する。同様に、奇数番目のビット線BL_oに接続される4256個のメモリトランジスタで別のページが構成され、ページ内のメモリトランジスタに対して同時にデータの書き込みと読み出しが行われる。

【0024】

図4は、メモリセルアレイ1のビット線BLに沿った断面構造を示している。p型シリコン基板9上にn型ウェル10が形成され、その中にp型ウェル11が形成され、メモリセルアレイ1はこのp型ウェル11内に形成される。各メモリトランジスタは、隣接メモリトランジスタと共有されるn型ソース、ドレイン拡散層12と、浮遊ゲートFGと制御ゲートCGとの積層ゲート構造を有する。制御ゲートCGは、複数のメモリトランジスタに連続するようにパターニングされて、ワード線WLとなる。

【0025】

ブロック分離用トランジスタとして用いられるメモリトランジスタも、他のメモリトランジスタと同様の積層ゲート構造を有する。これらのブロック分離用トランジスタの制御ゲートは、ワード線と同様にパターニングされるが、これらはブロック分離用ゲート線SGI0、SGI1となる。NANDストリングの両端部の選択ゲートトランジスタS1、S2も、基本的にはメモリトランジスタMと同様の構造であるが、浮遊ゲートFGと制御ゲートCGに対応する積層ゲートは、二重構造の選択ゲート線SGD、SGSとして、パターニングされる。ワード線WL、選択ゲート線SGD、SGS、ブロック分離用ゲート線SGI0、SGI1は、ロウ制御回路3に接続される。

【0026】

NANDストリングの一端（選択ゲートトランジスタS1のドレイン拡散層）は、コンタクトプラグ21aを介して、層間絶縁膜20a上に形成された第1層メタルによる中継配線22aに接続される。この中継配線22aは更に、コンタクトプラグ23を介して、層間絶縁膜20b上に形成された第2層メタルによるビット線（BL）24に接続される。ビット線BLはカラム制御回路2に接続される。

【0027】

NANDストリングの他端（選択ゲートトランジスタS2のソース拡散層）は、コンタクトプラグ21bを介して、第1層メタル配線である共通ソース線（CELSRC）22bに接続される。共通ソース線CELSRCはソース線制御回路4に接続される。また層間絶縁膜20a上には、n型ウェル10とp型ウェル11に同時に接続されるウェル配線22cが第1層メタルにより形成される。このウェル配線22cは、ウェル制御回路5に接続される。

【0028】

図5及び図6はそれぞれ、メモリセルアレイ1のワード線WL及び選択ゲート線SGD（SGS）に沿った断面構造を示している。この方向では、各メモリトランジスタはSTI（Shallow Trench Isolation）法により形成された素子分離絶縁膜25で互いに分離されている。素子分離絶縁膜25で区画された各素子形成領域に、トンネル酸化膜14を介して浮遊ゲートFGが形成され、その上にONO膜15を介して制御ゲートCGが形成される。制御ゲートCGは前述のようにワード線WLとして連続する。分離用ゲート線SGI0、SGI1に沿った断面構造も、このワード線WLに沿った断面構造と全く同じである。

【0029】

選択ゲート線SGD（或いはSGS）に沿った断面では、図6に示すように、浮遊ゲート分離は行われず、二層の積層配線となる。これらの上下配線は、メモリセルアレイ1の端あるいは一定数のビット線ごとにコンタクトさせる。

【0030】

図7は、カラム制御回路2の主要部分の構成を示している。同一カラム番号の偶数番ビット線BLEと奇数番ビット線BLOの2本（例えばBLE5とBLO5）に対して一つのセンスアンプ（兼データラッチ）16が設けられる。ビット線BLE、BLOのいずれか1本が選択されてセンスアンプ16に接続され、データ書き込みあるいは読み出しが行われる。即ち信号EVENBLが“H”レベル、信号ODDBLが“L”レベルになると、NMOSトランジスタQn1がオンになり、偶数番ビット線BLEが選択されてセンス

アンプ16に接続される。信号EVENBLが“L”レベル、信号ODDBLが“H”レベルになると、NMOSトランジスタQn2がオンになり、奇数番ビット線BL_oが選択されてセンスアンプ16に接続される。信号EVENBLは全ての偶数番目のビット線BL_eに、信号ODDBLは全ての奇数番目のビット線BL_oに共通である。非選択のビット線BLは、図示されていない回路により制御される。

【0031】

センスアンプ16はバイナリデータ記憶部DSを有する。データ記憶部DSはデータ入出力線(I/O線)を介してデータ入出力バッファ6と接続され、外部から入力された書き込みデータや外部へ出力する読み出しデータを記憶する。また、書き込み後にメモリセルのしきい値を確認する、書き込みベリファイ時の検出結果が記憶される。

【0032】

図8は、実施の形態に係わるフラッシュメモリのメモリトランジスタのしきい値分布を示す図である。メモリトランジスタのしきい値が負の状態(消去状態)がデータ“1”である。このメモリトランジスタに書き込みデータ“0”を与えると、正のしきい値状態のデータ“0”になる。書き込みデータが“1”のときは、メモリトランジスタの状態は変わらず、データ“1”を保持する。

【0033】

“0”データの書き込みは、選択メモリトランジスタの浮遊ゲートに電子を注入する動作により、行われる。具体的にNAND型フラッシュメモリでは、チャネルからのFNトンネリングによる浮遊ゲートへの電子注入を利用する。データ消去は、選択ブロック内の全メモリトランジスタの浮遊ゲートの電子をチャネルに放出させる動作として行われる。

【0034】

データ読み出しは、選択メモリトランジスタに読み出し電圧を与えて、セル電流が流れるか否かを判定する。具体的に、図8の場合、しきい値が0V以下であればデータ“1”、しきい値が0V以上ならデータ“0”とみなされる。即ち、選択メモリトランジスタの制御ゲート(ワード線)に読み出し電圧V_{ref}=0Vを与えて、データ判定が行われる。

【0035】

ブロック分離用ゲート線SGI(SGI0, SGI1)に繋がるメモリトランジスタM4, M5もそのしきい値は電氣的に制御可能である。この実施の形態では、これらのメモリトランジスタ(ブロック分離用トランジスタ)のしきい値は、出荷前に例えば1Vに精度よく設定され、その後通常の消去や書き込み時に変化しない。この分離用ゲート線SGIに繋がるメモリトランジスタは、ブロック単位のデータ消去時に、選択ブロックとこれに隣接する非選択ブロックとの間を分離する役割を果たす。

【0036】

以下にこの実施の形態のNANDフラッシュメモリの動作を説明する。

【0037】

図9は、ワード線WL0-WL3の範囲として定義されるブロックBLK_{i-1}と、ワード線WL4-7の範囲として定義されるブロックBLK_iのうち、前者が選択された時のデータ消去、書き込み、読み出し、及び書き込みベリファイ時の各部の電圧を示している。書き込みと読み出しは、ブロックBLK_{i-1}内のワード線WL1と偶数番目のビット線BL_eが選択された場合である。

【0038】

データ消去時は、p型ウェル11に消去電圧V_{era}=20Vを印加し、選択されたブロックBLK_{i-1}の全ワード線WL0-WL3に0Vを与える。これにより、選択ブロックBLK_{i-1}の全メモリトランジスタは浮遊ゲートFGから電子が放出されてしきい値が負となり、“1”データ(消去状態)になる。非選択ブロックBLK_iのワード線WL4-WL7、選択ゲート線SGD, SGS、ブロック分離ゲート線SGI0, SGI1およびビット線BLは、フローティングにされる。これにより非選択ブロックBLK_iでは、ワード線WL4-7がp型ウェル11との容量結合により20V近くまで昇圧され、

消去動作が行われない。

【0039】

以上のようにデータ消去時、非選択ブロックのワード線WL4-WL7とともに、ブロック分離用ゲート線SGI0, SGI1もフローティングとされる。この様に、非選択ブロックのワード線と選択ブロックのワード線との間にブロック分離用ゲート線が挟まれるために、非選択ブロックのワード線が選択ブロックのワード線と直接容量結合することがない。これにより、データ消去時の非選択ブロックの消去ストレスが小さいものとなる。

【0040】

データ書き込み時は、選択されたビット線BLEに、“0”書き込みのときは0Vを、“1”書き込み（書き込み禁止）のときはVdd（=1.8V～3V）を与える。選択ワード線WL1には書き込み電圧Vpgm=12V～20Vを、選択ブロックBLKi-1内の非選択ワード線WL0-WL3には選択された“1”書き込みのメモリトランジスタのチャネルを上昇させるように、10Vの電圧を印加する。非選択ブロックBLKiのワード線WL4-WL7には、これらに繋がるメモリトランジスタをデータに依らずオンさせるに必要な、Vddより高い中間電圧Vm=4.5V（図8に示す）を印加する。更にビット線側の選択ゲート線SGDには、“0”書き込みのNANDストリングのチャネルに0Vを転送し、“1”書き込みのNANDストリングからは電荷が抜けないように、Vddを与える。ブロック分離用ゲート線SGI0, SGI1にもVddを与え、ソース線側の選択ゲート線SGSは0Vとする。

【0041】

これにより、“0”データが与えられた選択ビット線BLEと選択ワード線WL1により選択されるメモリトランジスタでは、浮遊ゲートFGに電子が注入されてしきい値が上昇する。“1”データが与えられた選択ビット線BLEと選択ワード線WL1により選択されるメモリトランジスタでは、制御ゲートが容量結合により電位上昇して、浮遊ゲートFGに電子が注入されない。

【0042】

以上の書き込み時、非選択ブロックBLKiのワード線WL4-WL7に与えられる電圧4.5Vは、選択ブロックBLKi-1内の非選択ワード線WL0, WL2, WL3に印加される10Vより充分低い。従って非選択ブロックのメモリトランジスタの書き込みストレスが小さく抑えられる。

【0043】

読み出しは、選択されたワード線WL1に読み出し電圧Vref=0Vを印加して行う。選択されたメモリトランジスタ以外のメモリトランジスタや選択ゲートトランジスタは全て充分に導通し電流経路を形成するように、選択ゲート線SGD, SGS、ブロック分離用ゲート線SGI0, SGI1、ならびに非選択ワード線WL0, WL2-WL7には中間電圧Vm=4.5Vを印加する。

【0044】

これにより、選択されたメモリトランジスタのしきい値が読み出し電圧以下なら、ビット線BLEと共通ソース線CELSRC間が導通して、プリチャージされたビット線BLEは、低レベルLになる。選択されたメモリトランジスタのしきい値が読み出し電圧以上なら、ビット線BLEと共通ソース線CELSRC間が非導通で、ビット線BLEの電位は比較的高いレベルHを保持する。

【0045】

書き込みベリファイは、選択されたワード線WL1に、図8に示すベリファイ電圧Vv=0.4Vを印加するほか、通常データ読み出しと同じである。“0”書き込みメモリセルのしきい値がベリファイ電圧Vv以下なら、ビット線BLEと共通ソース線CELSRCが導通して、ビット線BLEの電位は比較的低いレベルLとなる（書き込み“フェイル”）。“0”書き込みメモリセルのしきい値がベリファイ電圧Vv以上なら、ビット線BLEと共通ソース線CELSRCが非導通で、ビット線BLEの電位は比較的高いレベルHとなる（書き込み“パス”）。

【0046】

実際のデータ書き込みは、書き込みパルス電圧印加動作とその後の書き込みベリファイ動作を含む書き込みサイクルを、選択ページの全てメモリセルが書き込み完了するまで繰り返すことにより、行われる。

【0047】

図10は、図9と逆に、隣接するブロックBLK_{i-1}、BLK_iのうち、ビット線コンタクト側のブロックBLK_iが選択された場合の消去、書き込み、読み出し及び書き込みベリファイ時の各部の電圧を示している。書き込みと読み出しは、ワード線WL5と偶数番目のビット線BL_eが選択された場合である。

【0048】

データ消去は、p型ウェル11に消去電圧V_{era}=20Vを、選択ブロックBLK_iの全ワード線WL4-WL7に0Vを与える。これにより、選択ブロックBLK_iのメモリトランジスタは、浮遊ゲートFGの電子が放出されてしきい値が負の“1”データになる。非選択ブロックBLK_{i-1}のワード線WL0-WL3、選択ゲート線SGD、SGS、ブロック分離ゲート線SGI0、SGI1およびビット線BLはフローティングにする。これにより、非選択ブロックのメモリトランジスタの制御ゲートは、型ウェル11との容量結合により20V近くに昇圧され、消去されない。

【0049】

このデータ消去において、ブロック分離用メモリトランジスタがある結果、非選択ブロックでの消去ストレスが小さくなることは、図9の場合と同様である。

【0050】

書き込み時は、選択されたビット線BL_eに、“0”書き込みのときは0Vを、“1”書き込み（書き込み禁止）のときはV_{dd} (=1.8V~3V)を与える。選択ワード線WL5には書き込み電圧V_{pgm}=12V~20Vを、選択ブロックBLK_i内の非選択ワード線WL4、WL6、WL7には“1”書き込みのメモリトランジスタのチャネルを上昇させるように、10Vの電圧を印加する。ここまでは、図9の場合と同様である。

【0051】

ブロック分離用トランジスタは、選択ブロックBLK_iと非選択ブロックの間を分離するためにオフにすればよいから、ブロック分離用ゲート線SGI0、SGI1には、0Vを与える。非選択ブロックBLK_{i-1}のワード線WL0-WL3には、V_{dd}より高い電圧4.5Vを印加する。これにより、ブロック分離ゲート線SGI0に沿ったメモリトランジスタのカットオフ特性を向上させることができる。ビット線側の選択ゲート線SGDには、“0”書き込みのNANDストリングのチャネルに0Vを転送し、“1”書き込みのNANDストリングからは電荷が抜けないように、V_{dd}を与える。ソース線側の選択ゲート線SGSは0Vとする。

【0052】

これにより、“0”データが与えられた選択ビット線BL_eと選択ワード線WL5により選択されるメモリトランジスタでは、浮遊ゲートFGに電子が注入されてしきい値が上昇する。“1”データが与えられた選択ビット線BL_eと選択ワード線WL5により選択されるメモリトランジスタでは、制御ゲートが容量結合により電位上昇して、浮遊ゲートFGに電子が注入されない。

【0053】

以上の書き込み時、非選択ブロックBLK_{i-1}のワード線WL0-WL3に与えられる電圧4.5Vは、選択ブロックBLK_i内の非選択ワード線WL4、WL6、WL7に印加される10Vより充分低い。従って非選択ブロックの書き込みストレスが小さい。

【0054】

読み出しは、選択されたワード線WL5に読み出し電圧V_{ref}=0Vを印加して行う。選択されたメモリトランジスタ以外のメモリトランジスタや選択ゲートトランジスタは全て充分に導通し電流経路を形成するように、選択ゲート線SGD、SGS、ブロック分離用ゲート線SGI0、SGI1、ならびに非選択ワード線WL0-WL3、WL4、W

L 6, WL 7には中間電圧 $V_m = 4.5\text{ V}$ を印加する。

【0055】

これにより、選択されたメモリトランジスタのしきい値が読み出し電圧以下なら、ビット線 BL e と共通ソース線 CEL SRC 間が導通して、プリチャージされたビット線 BL e は、低レベル L になる。選択されたメモリトランジスタのしきい値が読み出し電圧以上なら、ビット線 BL e と共通ソース線 CEL SRC 間が非導通で、ビット線 BL e の電位は比較的高いレベル H を保持する。

【0056】

書き込みベリファイは、選択されたワード線 WL 5 に、図 8 に示すベリファイ電圧 $V_v = 0.4\text{ V}$ を印加するほか、通常のデータ読み出しと同じである。“0”書き込みメモリセルのしきい値がベリファイ電圧 V_v 以下なら、ビット線 BL e と共通ソース線 CEL SRC が導通して、ビット線 BL e の電位は比較的低いレベル L となる（書き込み“フェイル”）。“0”書き込みメモリセルのしきい値がベリファイ電圧 V_v 以上なら、ビット線 BL e と共通ソース線 CEL SRC が非導通で、ビット線 BL e の電位は比較的高いレベル H となる（書き込み“パス”）。

【0057】

以上のようにこの実施の形態によると、NANDストリング内の二つのメモリトランジスタをブロック分離用トランジスタとして用いて、メモリセルアレイのブロック分割を行い、比較的小さいブロック単位でのデータ書き換えが可能になる。またこの様なブロック分離用メモリトランジスタを用いることにより、非選択ブロックでの書き込みや消去のストレスを小さいものとすることができる。更に、ブロック分離用トランジスタは、他のメモリトランジスタと同じ構造のものを用いており、電氣的のそのしきい値を最適設定できる。

【0058】

図 11 は、ブロック分離用ゲート線 SGI に繋がるメモリトランジスタ（ブロック分離用トランジスタ）の消去、書き込み、読み出し、書き込みベリファイ時の各部の電圧を示している。書き込みと読み出し時に分離用ゲート線 SGI 1 と偶数番目のビット線 BL e が選択された場合を示す。消去時は二つの分離用ゲート線 SGI 0, SGI 1 が選択されている。これらの動作は、メモリ出荷前に分離用ゲート線 SGI に繋がるメモリトランジスタのしきい値を調整したりテストしたりするために行われる。

【0059】

データ消去は、p 型ウェル 11 に消去電圧 $V_{era} = 20\text{ V}$ を与え、ブロック分離用ゲート線 SGI 0, SGI 1 に 0 V を与えて、行われる。これにより、ブロック分離用ゲート線 SGI 0, SGI 1 に沿ったメモリトランジスタでは、浮遊ゲート FG の電子が放出されてしきい値が負の“1”データ状態になる。ワード線 WL 0-WL 7、選択ゲート線 SGD, SGS、およびビット線 BL はフローティングにすることで、p 型ウェル 11 との容量結合により 20 V 近くまで昇圧される。

【0060】

データ書き込みは、選択されたブロック分離用ゲート線 SGI 1 に書き込み電圧 $V_{pgm} = 12\text{ V} \sim 20\text{ V}$ を与えて行われる。選択されたビット線 BL e を 0 V とすると、選択されたブロック分離用メモリトランジスタでは、浮遊ゲート FG に電子が注入されてしきい値が上昇する（“0”書き込み）。しきい値の上昇を禁止するにはビット線 BL e に電源電圧 $V_{dd} (= 1.8\text{ V} \sim 3\text{ V})$ を与える（“1”書き込み）。ビット線側の選択ゲート線 SGD には、“1”書き込みの NANDストリングからビット線 BL e に電荷が抜けないように、 V_{dd} を印加する。ワード線 WL 0-WL 7 とブロック分離用ゲート線 SGI 0 には、選択された“1”書き込みのメモリトランジスタのチャネルを上昇させるように 10 V の電圧を印加する。選択ゲート線 SGS には“1”書き込みの NANDストリングからソース線 CEL SRC に電荷が抜けないように 0 V を印加する。

【0061】

読み出しは、選択されたブロック分離用ゲート線 SGI 1 に読み出し電圧 $V_{ref} = 0$

Vを印加して行う。選択されたメモリトランジスタ以外の選択ゲートトランジスタおよびメモリトランジスタは十分に導通し電流経路を形成するように、選択ゲート線SGD、SGS、ブロック分離用ゲート線SGI0、ならびに非選択ワード線WL0-WL7には4.5Vを印加する。これにより、選択されたメモリトランジスタのしきい値が読み出し電圧以下なら、ビット線BLEと共通ソース線CELSRCが導通して、ビット線BLEの電位は比較的低いレベルLとなる。選択されたメモリトランジスタのしきい値が読み出し電圧以上なら、ビット線BLEと共通ソース線CELSRCが非導通で、ビット線BLEの電位は比較的高いレベルHとなる。

【0062】

書き込みベリファイは、選択されたブロック分離用ゲート線SGI1に、図8に示すベリファイ電圧 $V_{va} = 1V$ を印加する他、通常の読み出しと同様である。これにより、分離用メモリトランジスタのしきい値がベリファイ電圧 V_{va} 以下なら、ビット線BLEと共通ソース線CELSRCが導通して、ビット線BLEの電位は比較的低いレベルLとなる。しきい値がベリファイ電圧 V_{va} 以上なら、ビット線BLEと共通ソース線CELSRCが非導通で、ビット線BLEの電位は比較的高いレベルHとなる。

【0063】

以上の書き込みと書き込みベリファイの組み合わせにより、ブロック分離用メモリトランジスタのしきい値は、図8に示したように、“0”データのしきい値分布の下限值 V_v より高い下限値 V_{va} （約1V）のしきい値状態に精度よく調整することができる。

【0064】

図12は、任意のワード線WLに沿ったメモリトランジスタへのデータの書き込みアルゴリズムを示している。

【0065】

まず、ホストからのデータ入力コマンドを受け取りステートマシン8にデータ入力コマンドを設定する（ステップS1）。ホストからのアドレスデータを受け取り、ステートマシン8に書き込みページを選択するためのアドレスを設定する（ステップS2）。次に、1ページ分の書き込みデータを受け取りそれぞれのデータ記憶部DSに対応する書き込みデータを設定する（ステップS3）。ホストが発行した書き込みコマンドを受け取りステートマシン8に書き込みコマンドを設定する（ステップS4）。

【0066】

書き込みコマンドが設定された後、以下のステップS5-S13の動作は、ステートマシン8により内部で自動的に実行される。まず、選択ワード線に与えられる書き込み電圧 V_{pgm} の初期値を12Vに設定し、また、書き込みカウンタPCを0に設定する（ステップS5）。センスアンプ（データ記憶部DS）が保持する書き込みデータに応じて、ビット線電圧（書き込み制御電圧）を設定する。即ち、書き込みデータが“0”ならビット線BLの電圧を0Vに、1”なら書き込み禁止であるのでビット線BLの電圧を V_{dd} に設定する（ステップS6）。こうして設定された書き込み電圧 V_{pgm} と書き込み制御電圧を用いて1ページ分のメモリセルに対して書き込みパルスを与える書き込み動作が行われる（ステップS7）。

【0067】

次に、書き込みベリファイが起動される（ステップS8）。ここでは、1ページ分のメモリトランジスタのうち検出結果が“パス”となったメモリトランジスタに対応するデータ記憶部DSのデータを“0”から“1”に変える。データ記憶部DSが保持する書き込みデータが“1”であれば、その“1”をそのまま保持する。そして、1ページ分のデータ記憶部DSの全データが“1”か否かを検出する（ステップS9）。

【0068】

ステップS9の判定結果が“YES”（全てのデータ記憶部DSが“1”データ）なら、書き込みステータスを“パス”と設定して、書き込みを終了する（ステップS10）。判定結果が“NO”であれば、書き込みカウンタPCを調べ（ステップS11）、そのカウンタ値が10（書き込み回数の許容最大値）に達している場合には、正常に書き込めな

ったものとして、書きこみステータスを“フェイル”に設定して書き込み終了とする（ステップS12）。書き込みカウンタPCのカウント値が10より少なければ、書き込みカウンタPCの値を1だけ増やし、また、書き込み電圧V_{pgm}の設定値を0.8V増やして（ステップS13）、再度ステップS6を経て書き込みステップS7を繰り返す。

【0069】

図13は、ブロック分離用ゲート線SGIに繋がれたメモリトランジスタのしきい値調整アルゴリズムを示している。

【0070】

まず、ホストからのデータ入力コマンドを受け取りステートマシン8にデータ入力コマンドを設定する（ステップS1）。ホストからのアドレスデータを受け取り、ステートマシン8にしきい値調整するメモリトランジスタ群を選択するためのアドレスを設定する（ステップS2）。

【0071】

次に、全て“0”データである1ページ分の書き込みデータを受け取りそれぞれのデータ記憶部DSに対応する書き込みデータを設定する（ステップS3）。ホストが発行したSGI書き込みコマンドを受け取りステートマシン8にSGI書き込みコマンドを設定する（ステップS4）。

【0072】

SGI書き込みコマンドが設定された後、ステップS5-S13は、ステートマシン8によって自動的に内部で実行される。まず、ブロック分離用ゲート線SGIに与えられる書き込み電圧V_{pgm}の初期値を12Vに設定し、また、書き込みカウンタPCを0に設定する（ステップS5）。そして、データ記憶部DSのデータに応じて、書き込み制御電圧であるビット線電圧を設定する。即ち、書き込みデータが“0”ならビット線BLの電圧を0Vに、1”なら書き込み禁止であるのでビット線BLの電圧をV_{dd}に設定する（ステップS6）。但し、最初の書き込みデータは全て“0”であるから、全ビット線が0Vに設定される。こうして設定された書き込み電圧V_{pgm}と書き込み制御電圧を用いて1ページ分のメモリセルに対して書き込みパルスを与える書き込みが行われる（ステップS7）。

【0073】

次に、書き込みベリファイが起動される（ステップS8）。1ページ分相当のメモリトランジスタのうち検出結果が“パス”となったメモリトランジスタに対応するデータ記憶部DSのデータを“0”から“1”に変える。2回目の書き込みからは、データ記憶部DSのデータが“1”であるものは、その“1”データをそのまま保持する。

【0074】

そして全てのデータ記憶部DSのデータが“1”か否かを検出する（ステップS9）。判定結果が“YES”（全てのデータが“1”）なら書き込みステータスを“パス”に設定して書き込みを終了する（ステップS10）。そうでなければ、書き込みカウンタPCを調べる（ステップS11）。カウント値が40（書き込み回数の許容最大値）に達していれば、正常に書き込めなかったとして、書きこみステータスを“フェイル”に設定して書き込み終了となる（ステップS12）。書き込みカウンタPCのカウント値が40より少なければ、カウント値を1だけ増やし、また、書き込み電圧V_{pgm}の設定値を0.2V増やして（ステップS13）、再度ステップS6を経て書き込みステップS7に行く。

【0075】

以上のように、ブロック分離用ゲート線SGI0、SGI1に繋がれたメモリトランジスタのしきい値を、他のメモリトランジスタの書き込みと同様のシーケンスを適用することによって高精度に最適値に設定することができる。

【0076】

この実施の形態によると、次のような効果が得られる。

【0077】

第1に、消去単位であるブロックのサイズ増大を抑えながら、ブロック領域に対する選

択ゲートトランジスタやコンタクト部の領域比を下げる事が可能である。具体例を挙げる。メモリトランジスタのゲート長を $0.1\mu\text{m}$ 、NANDストリング内のメモリトランジスタ間の距離を $0.1\mu\text{m}$ 、メモリトランジスタと選択ゲートトランジスタ S1, S2 の間の距離を $0.15\mu\text{m}$ 、選択ゲートトランジスタ S1, S2 のゲート長を $0.25\mu\text{m}$ 、選択ゲートトランジスタ S1, S2 からコンタクト中心までの距離を $0.15\mu\text{m}$ とする。従来のように、4つのメモリトランジスタからなる NANDストリングを配列して 2128 バイトのブロックを構成したとすると、1ブロック当たりの NANDストリング長は、

$$0.15\mu\text{m} + 0.25\mu\text{m} + 0.15\mu\text{m} + 0.1\mu\text{m} \times 7 + 0.15\mu\text{m} + 0.25\mu\text{m} + 0.15\mu\text{m} \\ = 1.8\mu\text{m} \\ \text{となる。}$$

【0078】

これに対して実施の形態のように、10個のメモリトランジスタからなる NANDストリングを配列して 2128 バイトの二つのブロックを構成したとすると、1ブロック当たりの NANDストリング長は、

$$(0.15\mu\text{m} + 0.25\mu\text{m} + 0.15\mu\text{m} + 0.1\mu\text{m} \times 19 + 0.15\mu\text{m} + 0.25\mu\text{m} + 0.15\mu\text{m}) / 2 \\ = 1.5\mu\text{m} \\ \text{となる。}$$

【0079】

第2に、ブロック内に、駆動条件を選択することによってブロックより小さい消去単位となるサブブロックを設定する方式と異なり、ブロック間にブロック分離用メモリトランジスタがある。このために、非選択ブロックでの書き込みストレスや消去ストレスが小さく抑えられる。

【0080】

第3に、ブロック分離用メモリトランジスタは、他のメモリトランジスタと同様の構成を有する。従って、ブロック分離用メモリトランジスタのしきい値は、通常書き込みと同様のシーケンスで最適値に設定することができる。そしてこのブロック分離用トランジスタのしきい値の最適設定によって、非選択ブロックでの書き込みストレスや消去ストレスを最小限に抑えながら、ブロック間の確実な分離を行うことが可能になる。

【0081】

図14は、他の実施の形態によるメモリセルアレイの構成を図3に対応させて示している。この実施の形態では、ブロック分離用トランジスタとなるメモリトランジスタ M4, M5 の制御ゲートが接続されたブロック分離用ゲート線は、共通に駆動されるべく、一つの端子 SGI にまとめられて、これがロウ制御回路3に接続される。この場合、2つのメモリトランジスタ M4, M5 が実質的に1つのブロック分離用トランジスタとして制御されるので、先の実施の形態に比べると個々のしきい値を独立に精度良く調整することができないが、ゲート線の数が減るのでロウ制御回路3が簡素化できるという利点がある。

【0082】

図15は、更に他の実施の形態によるメモリセルアレイの構成を図3に対応させて示している。この実施の形態では、NANDストリング NU を構成する9個のメモリトランジスタ M0-M8 のうち、中央の一つ M4 がブロック分離用トランジスタとして用いられ、その制御ゲートがブロック分離用ゲート線 SGI に接続されている。ソース線コンタクト側の4個のメモリトランジスタ M0-M3 と、ビット線コンタクト側の4個のメモリトランジスタ M5-M8 の制御ゲートはそれぞれ、ワード線 WL0-WL3, WL4-WL7 に接続されている。

【0083】

次に、上記各実施の形態による不揮発性半導体記憶装置或いはメモリシステムを搭載した電子カードと、その電子カードを用いた電子装置の実施の形態を説明する。

【0084】

図16は、この実施の形態による電子カードと、この電子カードを用いた電子装置の構

成を示す。ここでは電子装置は、携帯電子機器の一例としてのデジタルスチルカメラ 101 を示す。電子カードは、デジタルスチルカメラ 101 の記録媒体として用いられるメモリカード 61 である。メモリカード 61 は、先の各実施の形態で説明した不揮発性半導体装置或いはメモリシステムが集積化され封止された IC パッケージ PK1 を有する。

【0085】

デジタルスチルカメラ 101 のケースには、カードスロット 102 と、このカードスロット 102 に接続された、図示しない回路基板が収納されている。メモリカード 61 は、カードスロット 102 に取り外し可能に装着される。メモリカード 61 は、カードスロット 102 に装着されると、回路基板上の電気回路に電氣的に接続される。

【0086】

電子カードが例えば、非接触型の IC カードである場合、カードスロット 102 に収納し、或いは近づけることによって、回路基板上の電気回路に無線信号により接続される。

【0087】

図 17 は、デジタルスチルカメラの基本的な構成を示す。被写体からの光は、レンズ 103 により集光されて撮像装置 104 に入力される。撮像装置 104 は例えば CMOS イメージセンサであり、入力された光を光電変換し、アナログ信号を出力する。このアナログ信号は、アナログ増幅器 (AMP) により増幅された後、A/D コンバータによりデジタル変換される。変換された信号は、カメラ信号処理回路 105 に入力され、例えば自動露出制御 (AE)、自動ホワイトバランス制御 (AWB)、及び色分離処理を行った後、輝度信号と色差信号に変換される。

【0088】

画像をモニターする場合、カメラ信号処理回路 105 から出力された信号はビデオ信号処理回路 106 に入力され、ビデオ信号に変換される。ビデオ信号の方式としては、例えば NTSC (National Television System Committee) を挙げることができる。ビデオ信号は、表示信号処理回路 107 を介して、デジタルスチルカメラ 101 に取り付けられた表示部 108 へ出力される。表示部 108 は例えば液晶モニターである。

【0089】

ビデオ信号は、ビデオドライバ 109 を介してビデオ出力端子 110 に与えられる。デジタルスチルカメラ 101 により撮像された画像は、ビデオ出力端子 110 を介して、例えばテレビジョン等の画像機器に出力することができる。これにより、撮像した画像を表示部 108 以外でも表示することができる。撮像装置 104、アナログ増幅器 (AMP)、A/D コンバータ (A/D)、カメラ信号処理回路 105 は、マイクロコンピュータ 111 により制御される。

【0090】

画像をキャプチャする場合、操作ボタン例えばシャッターボタン 112 を操作者が押す。これにより、マイクロコンピュータ 111 が、メモリコントローラ 113 を制御し、カメラ信号処理回路 105 から出力された信号がフレーム画像としてビデオメモリ 114 に書き込まれる。ビデオメモリ 114 に書き込まれたフレーム画像は、圧縮／伸張処理回路 115 により、所定の圧縮フォーマットに基づいて圧縮され、カードインタフェース 116 を介してカードスロット 102 に装着されているメモリカード 61 に記録される。

【0091】

記録した画像を再生する場合、メモリカード 61 に記録されている画像を、カードインタフェース 116 を介して読み出し、圧縮／伸張処理回路 115 により伸張した後、ビデオメモリ 114 に書き込む。書き込まれた画像はビデオ信号処理回路 106 に入力され、画像をモニターする場合と同様に、表示部 108 や画像機器に映し出される。

【0092】

なおこの構成では、回路基板 100 上に、カードスロット 102、撮像装置 104、アナログ増幅器 (AMP)、A/D コンバータ (A/D)、カメラ信号処理回路 105、ビデオ信号処理回路 106、メモリコントローラ 113、ビデオメモリ 114、圧縮／伸張

処理回路 115、及びカードインタフェース 116 が実装される。

【0093】

但しカードスロット 102 については、回路基板 100 上に実装される必要はなく、コネクタケーブル等により回路基板 100 に接続されるようにしてもよい。

【0094】

回路基板 100 上には更に、電源回路 117 が実装される。電源回路 117 は、外部電源、或いは電池からの電源の供給を受け、デジタルスチルカメラの内部で使用する内部電源電圧を発生する。電源回路 117 として、DC-DC コンバータを用いてもよい。内部電源電圧は、上述した各回路に供給される他、ストロボ 118、表示部 108 にも供給される。

【0095】

以上のようにこの実施の形態の電子カードは、デジタルスチルカメラ等の携帯電子機器に用いることが可能である。更にこの電子カードは、携帯電子機器だけでなく、図 18 A-18 J に示すような他の各種電子機器に適用することができる。即ち、図 18 A に示すビデオカメラ、図 18 B に示すテレビジョン、図 18 C に示すオーディオ機器、図 18 D に示すゲーム機器、図 18 E に示す電子楽器、図 18 F に示す携帯電話、図 18 G に示すパーソナルコンピュータ、図 18 H に示すパーソナルデジタルアシスタント (PDA)、図 18 I に示すヴォイスレコーダ、図 18 J に示す PC カード等に、上記電子カードを用いることができる。

【0096】

この発明は、上記実施の形態に限られない。例えば上記実施の形態では、NAND ストリングの中央部の一つ又は二つのメモリトランジスタをブロック分離用トランジスタとすることにより、メモリセルアレイを同容量の二つのブロックに分割した。これに対して、NAND ストリング内のブロック分離用トランジスタの位置を選択することにより、分割される分割されるブロックの容量を異ならせてもよい。また、NAND ストリング内の複数箇所のメモリトランジスタをブロック分離用トランジスタとすることにより、メモリセルアレイを 3 個以上のブロックに分割することもできる。

【0097】

更に実施の形態では、電荷蓄積層としてフローティングゲートを持つメモリトランジスタを用いたが、シリコン窒化膜を電荷蓄積層とする MONOS 型メモリトランジスタを用いることができる。

【図面の簡単な説明】

【0098】

【図 1】 この発明の実施の形態による NAND フラッシュメモリの機能ブロック構成を示す図である。

【図 2】 同フラッシュメモリのメモリセルアレイ構成を示す図である。

【図 3】 同メモリセルアレイのより具体的な構成を示す図である。

【図 4】 同メモリセルアレイのビット線に沿った断面構造を示す図である。

【図 5】 同メモリセルアレイのワード線に沿った断面構造を示す図である。

【図 6】 同メモリセルアレイの選択ゲート線に沿った断面構造を示す図である。

【図 7】 同フラッシュメモリのカラム制御回路におけるデータ記憶回路の構成を示す図である。

【図 8】 同フラッシュメモリのデータしきい値分布を示す図である。

【図 9】 同フラッシュメモリのブロック BLK i-1 選択時の動作バイアス条件を示す図である。

【図 10】 同フラッシュメモリのブロック BLK i 選択時の動作バイアス条件を示す図である。

【図 11】 同フラッシュメモリのブロック分離用トランジスタ選択時の動作バイアス条件を示す図である。

【図 12】 同フラッシュメモリのデータ書き込み制御フローを示す図である。

【図13】同フラッシュメモリのブロック分離用トランジスタの書き込み制御フローを示す図である。

【図14】他の実施の形態によるメモリセルアレイの構成を示す図である。

【図15】更に他の実施の形態によるメモリセルアレイの構成を示す図である。

【図16】デジタルスチルカメラに適用した実施の形態を示す図である。

【図17】同デジタルスチルカメラの内部構成を示す図である。

【図18A】ビデオカメラに適用した実施の形態を示す図である。

【図18B】テレビジョンに適用した実施の形態を示す図である。

【図18C】オーディオ機器に適用した実施の形態を示す図である。

【図18D】ゲーム機器に適用した実施の形態を示す図である。

【図18E】電子楽器に適用した実施の形態を示す図である。

【図18F】携帯電話に適用した実施の形態を示す図である。

【図18G】パーソナルコンピュータに適用した実施の形態を示す図である。

【図18H】パーソナルデジタルアシスタント(PDA)に適用した実施の形態を示す図である。

【図18I】ヴォイスレコーダに適用した実施の形態を示す図である。

【図18J】PCカードに適用した実施の形態を示す図である。

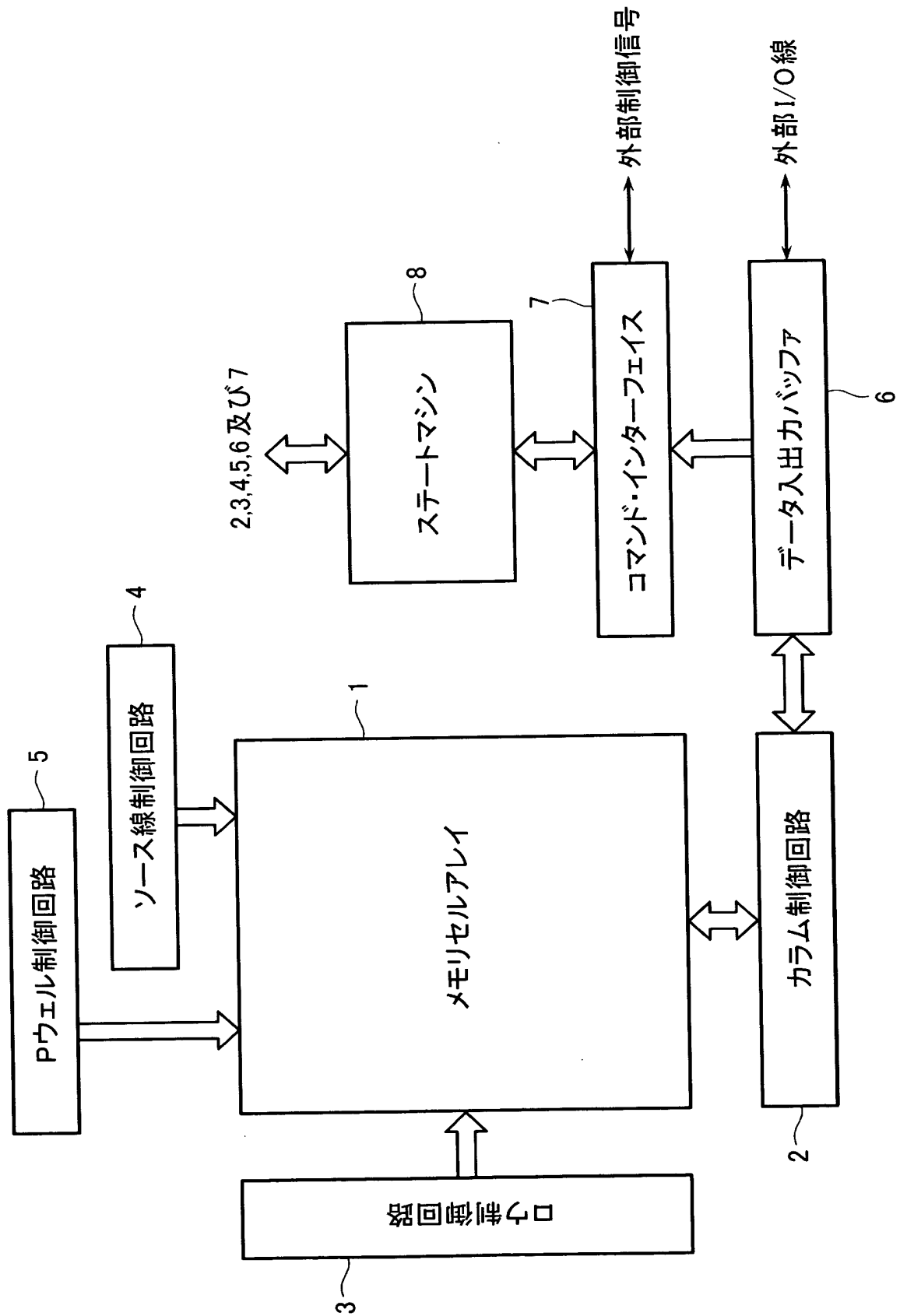
【符号の説明】

【0099】

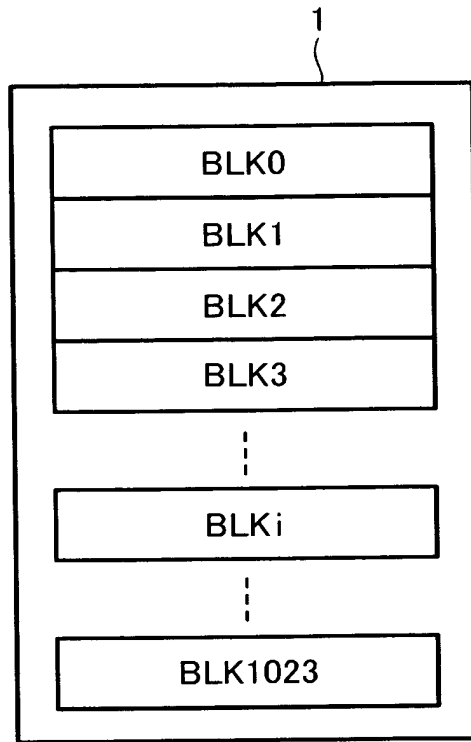
1…メモリセルアレイ、2…カラム制御回路、3…ロウ制御回路、4…ソース線制御回路、5…ウェル制御回路、6…データ入出力バッファ、7…コマンド・インタフェース、8…ステートマシン、BLKi…ブロック、M0-M9…メモリトランジスタ、M4, M5…ブロック分離用トランジスタ(メモリトランジスタ)、S1, S2…選択ゲートトランジスタ、9…シリコン基板、11…p型ウェル、16…センスアンプ。

【書類名】 図面

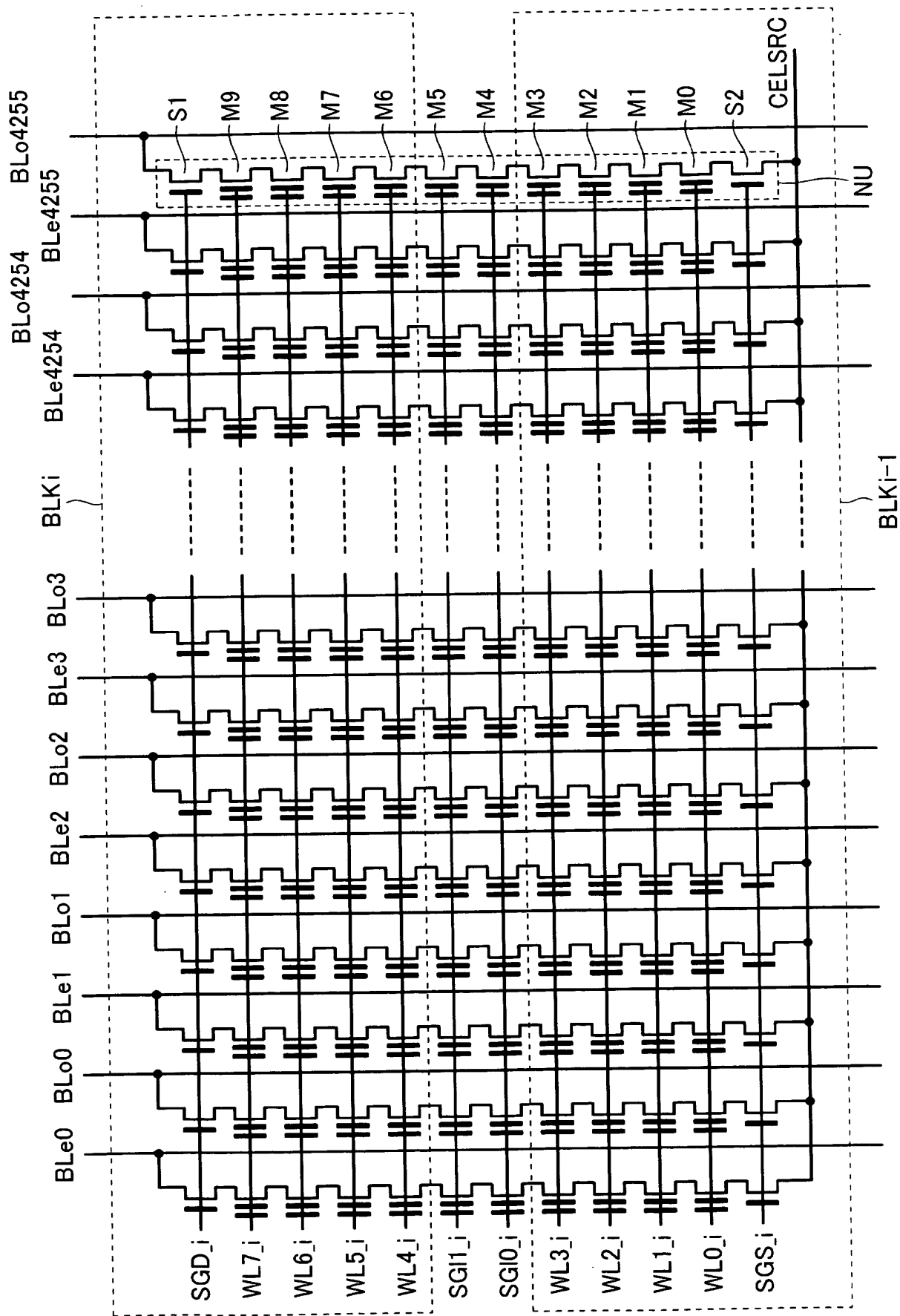
【図 1】



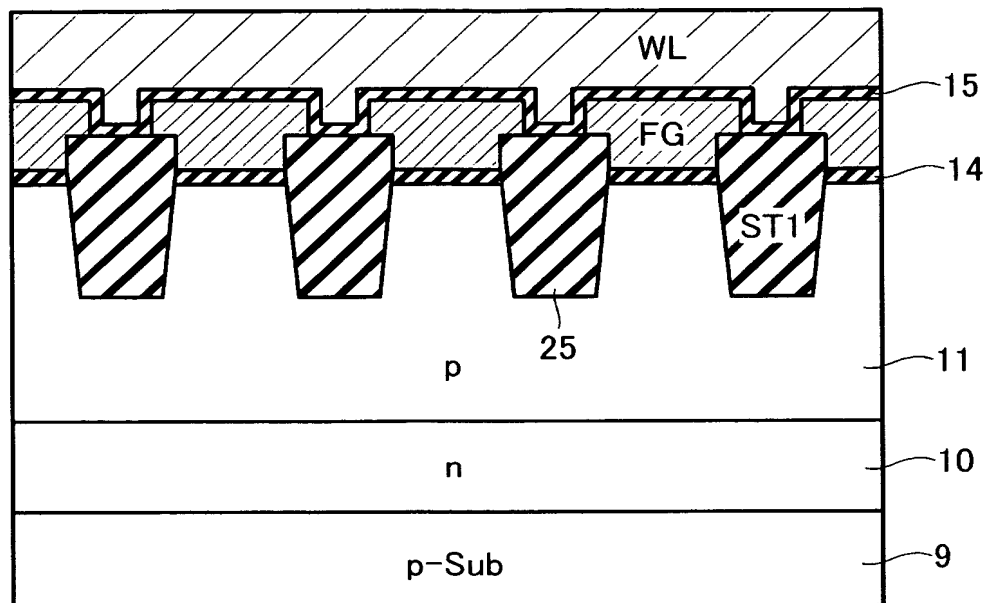
【図 2】



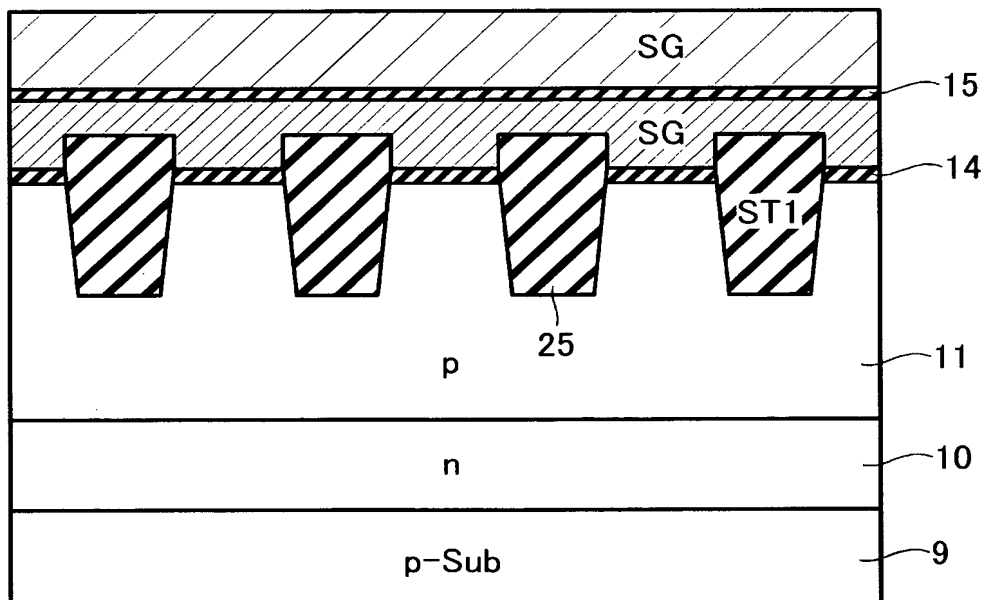
【図 3】



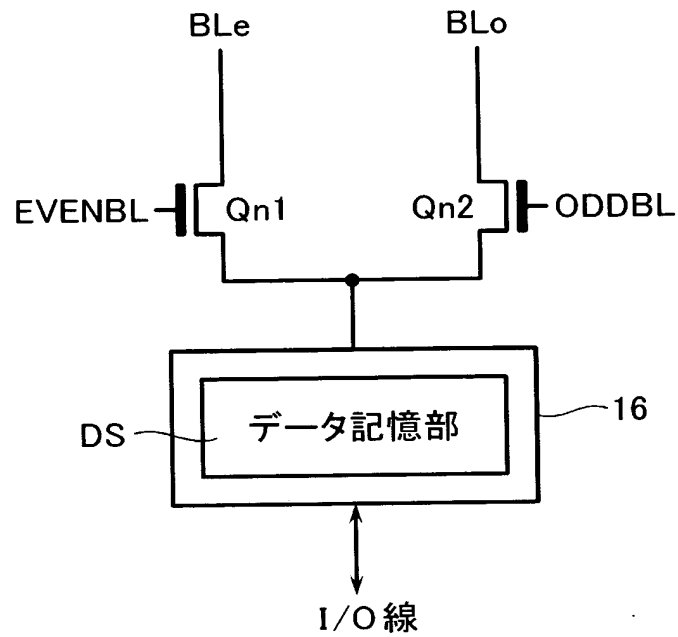
【図 5】



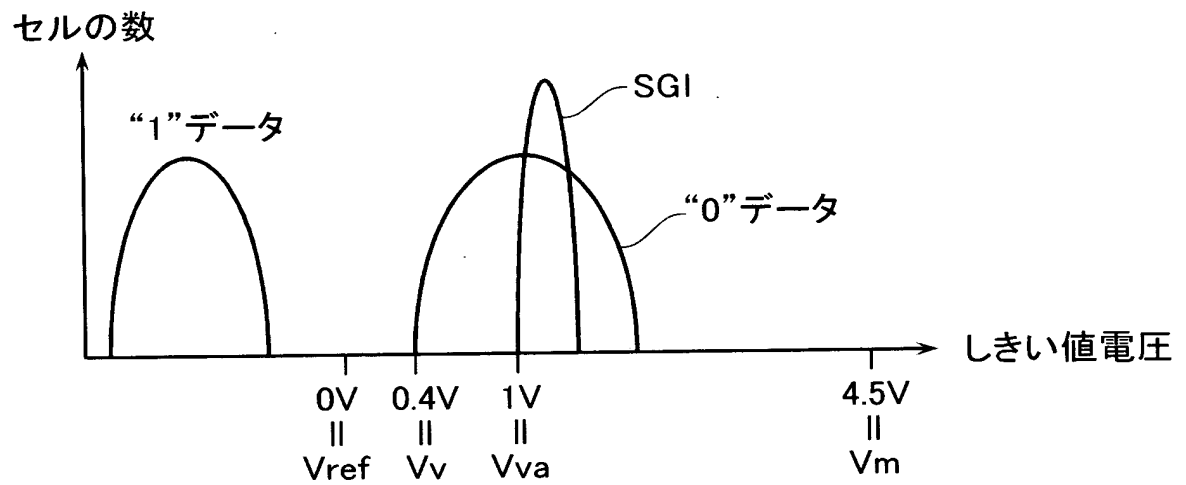
【図 6】



【図 7】



【図 8】



【図 9】

	消去	“0”書き込み	“1”書き込み	読み出し	書き込み ペリファイ
BL _e	Floating	0V	V _{dd}	H or L	H or L
BL _o	Floating	V _{dd}	V _{dd}	0V	0V
SGD	Floating	V _{dd}	V _{dd}	4.5V	4.5V
WL ₇	Floating	4.5V	4.5V	4.5V	4.5V
WL ₆	Floating	4.5V	4.5V	4.5V	4.5V
WL ₅	Floating	4.5V	4.5V	4.5V	4.5V
WL ₄	Floating	4.5V	4.5V	4.5V	4.5V
SGI ₁	Floating	V _{dd}	V _{dd}	4.5V	4.5V
SGI ₀	Floating	V _{dd}	V _{dd}	4.5V	4.5V
WL ₃	0V	10V	10V	4.5V	4.5V
WL ₂	0V	10V	10V	4.5V	4.5V
WL ₁	0V	V _{pgm}	V _{pgm}	0V	0.4V
WL ₀	0V	10V	10V	4.5V	4.5V
SGS	Floating	0V	0V	4.5V	4.5V
CELSRC	Floating	0V	0V	0V	0V
C-p-well	20V	0V	0V	0V	0V

BLK_iBLK_{i-1}

【図 10】

	消去	“0”書き込み	“1”書き込み	読み出し	書き込み ベリファイ
BLe	Floating	0V	Vdd	H or L	H or L
BL0	Floating	Vdd	Vdd	0V	0V
SGD	Floating	Vdd	Vdd	4.5V	4.5V
WL7	0V	10V	10V	4.5V	4.5V
WL6	0V	10V	10V	4.5V	4.5V
WL5	0V	Vpgm	Vpgm	0V	0.4V
WL4	0V	10V	10V	4.5V	4.5V
SGI1	Floating	0V	0V	4.5V	4.5V
SGI0	Floating	0V	0V	4.5V	4.5V
WL3	Floating	4.5V	4.5V	4.5V	4.5V
WL2	Floating	4.5V	4.5V	4.5V	4.5V
WL1	Floating	4.5V	4.5V	4.5V	4.5V
WL0	Floating	4.5V	4.5V	4.5V	4.5V
SGS	Floating	0V	0V	4.5V	4.5V
CELSRC	Floating	0V	0V	0V	0V
C-p-well	20V	0V	0V	0V	0V

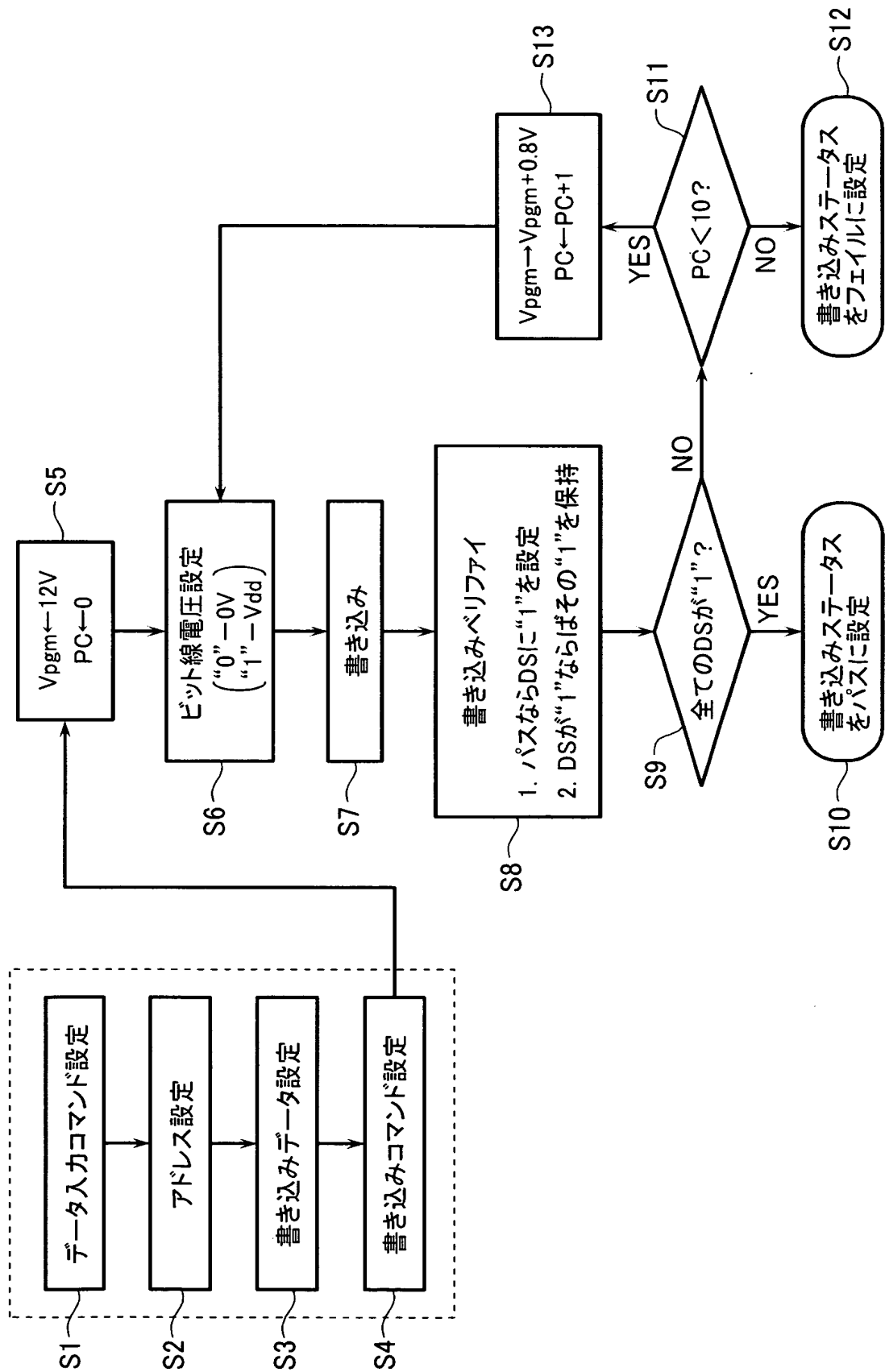
} BLKi
} BLKi-1

【図 11】

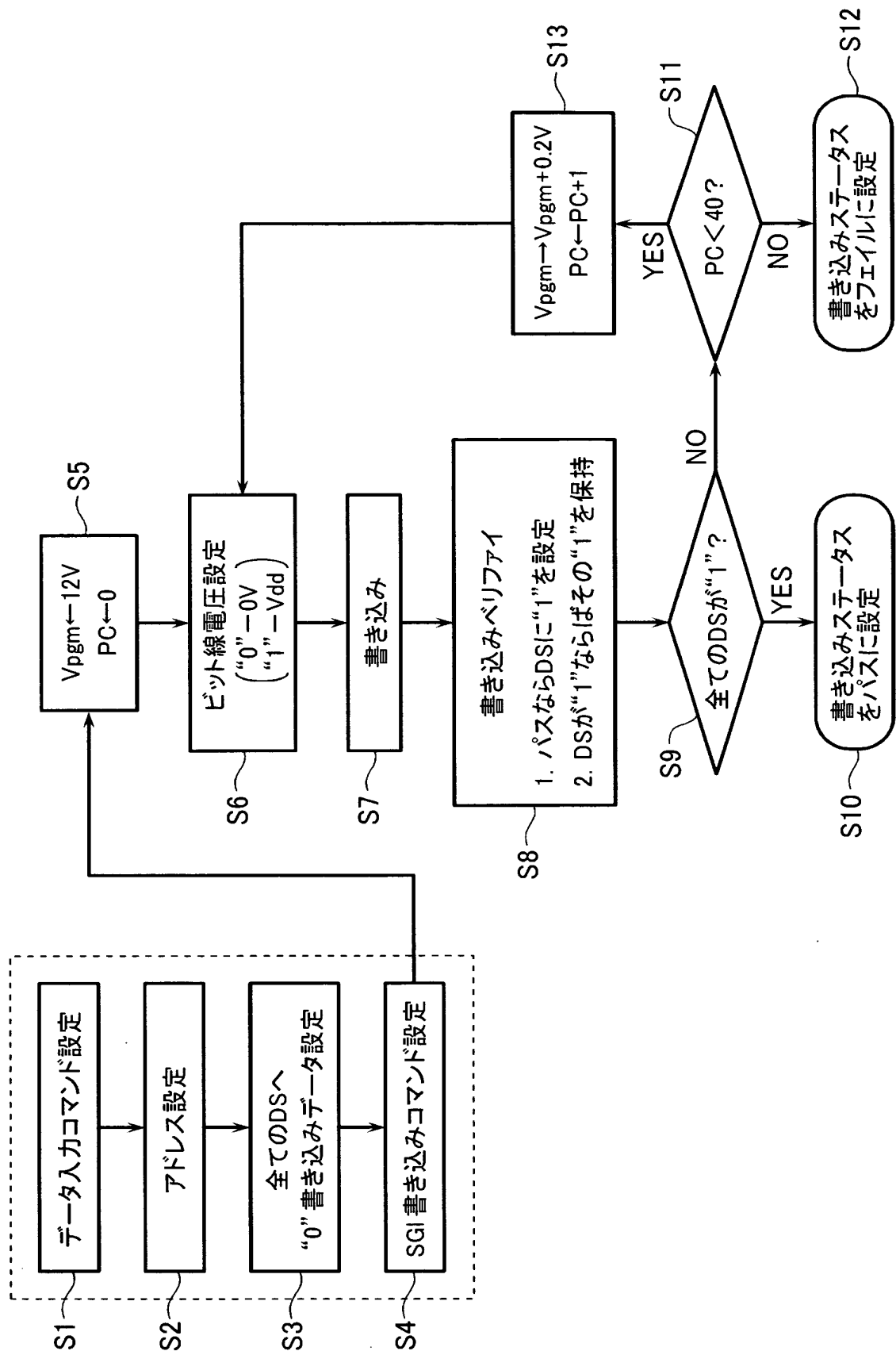
	消去	“0”書き込み	“1”書き込み	読み出し	書き込み ベリファイ
	BLe	Floating	0V	Vdd	H or L
	BLo	Floating	Vdd	Vdd	0V
	SGD	Floating	Vdd	Vdd	4.5V
	WL7	Floating	10V	10V	4.5V
	WL6	Floating	10V	10V	4.5V
	WL5	Floating	10V	10V	0.4V
	WL4	Floating	10V	10V	4.5V
	SGI1	0V	Vpgm	Vpgm	1V
	SGI0	0V	10V	10V	4.5V
	WL3	Floating	10V	10V	4.5V
	WL2	Floating	10V	10V	4.5V
	WL1	Floating	10V	10V	4.5V
	WL0	Floating	10V	10V	4.5V
	SGS	Floating	0V	0V	4.5V
	CELSRC	Floating	0V	0V	0V
	C-p-well	20V	0V	0V	0V

BLKi
BLKi-1

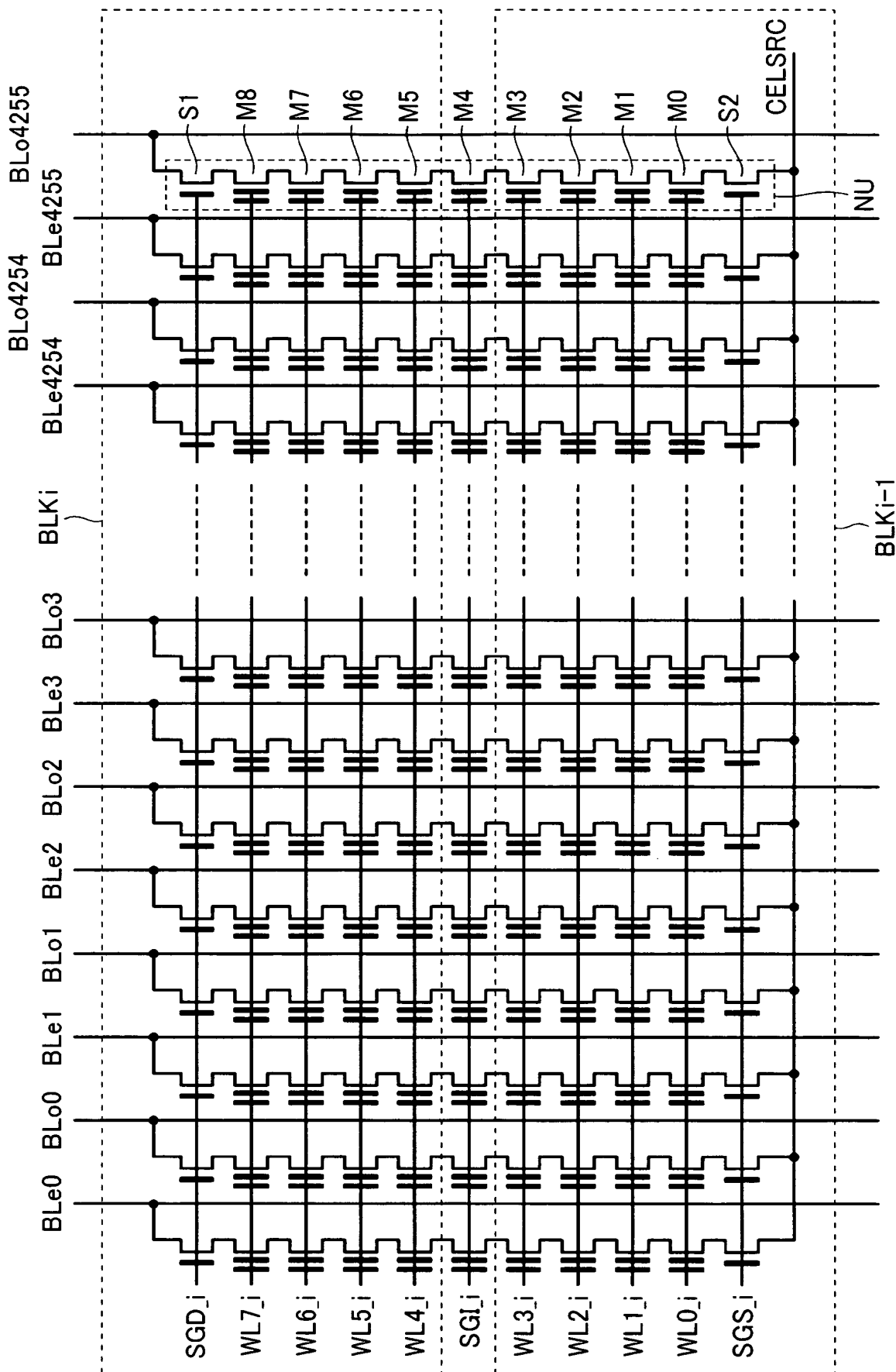
【図 12】



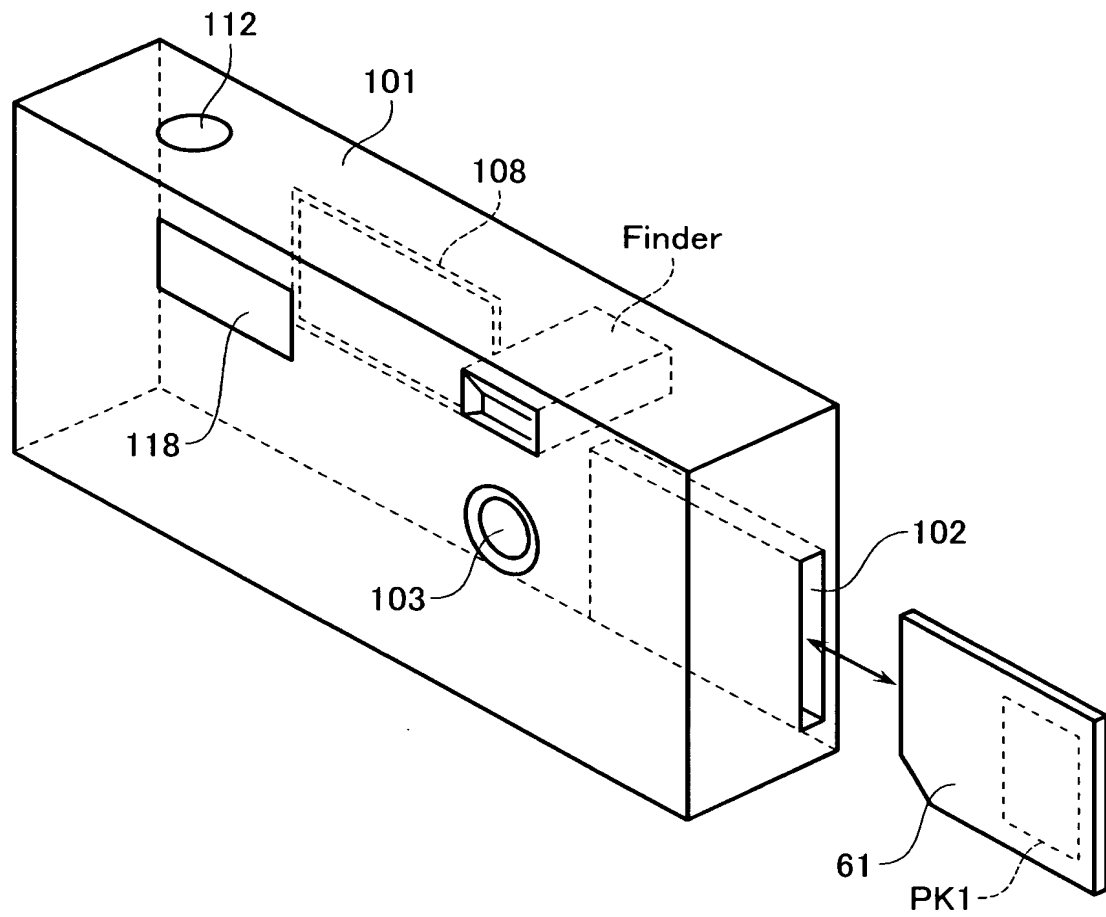
【図 13】



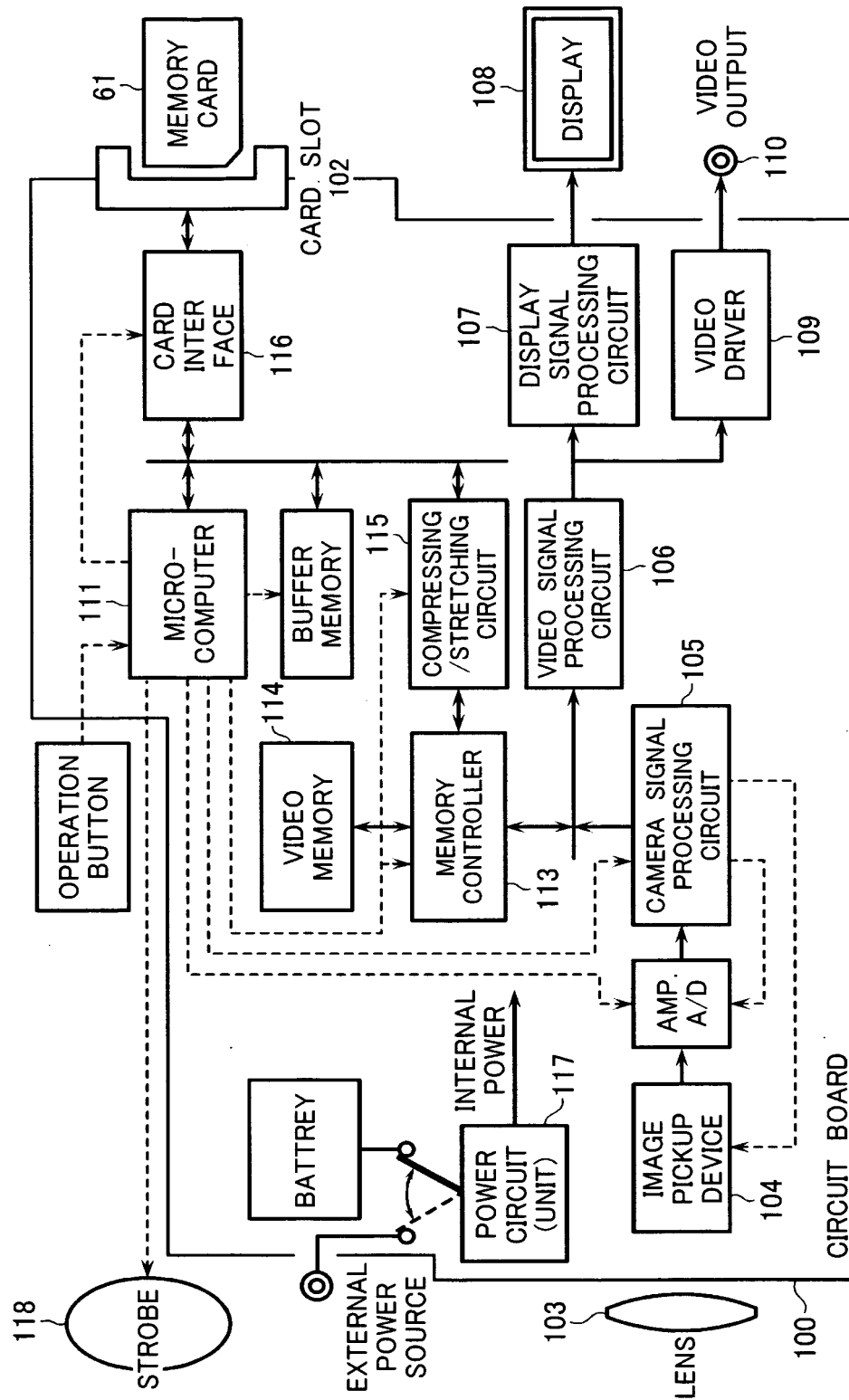
【図 15】



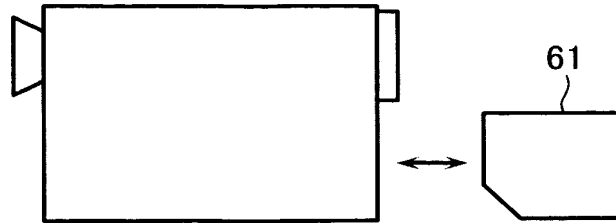
【図 16】



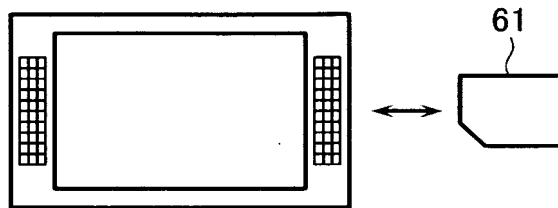
【図 17】



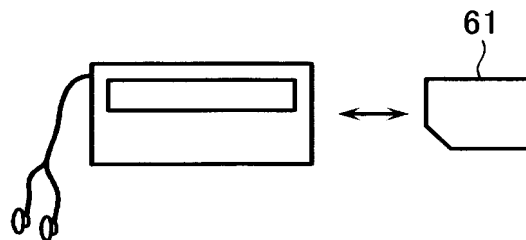
【図 18 A】



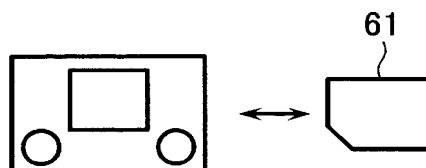
【図 18 B】



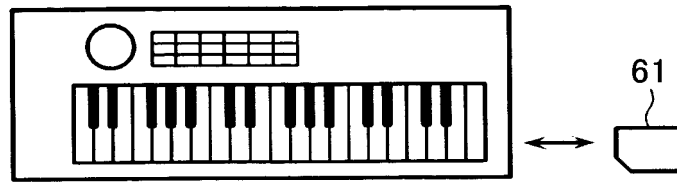
【図 18 C】



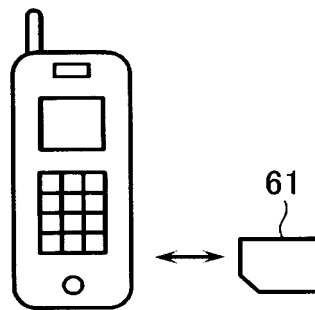
【図 18 D】



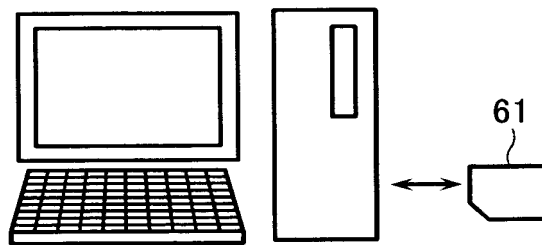
【図 18 E】



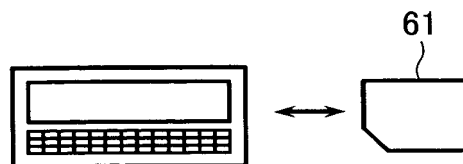
【図 18 F】



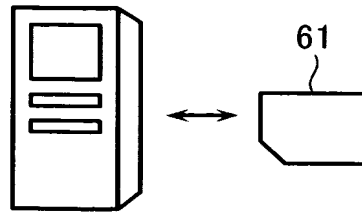
【図 18 G】



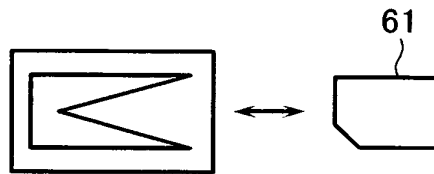
【図 18 H】



【図 18 I】



【図 18 J】



【書類名】 要約書**【要約】**

【課題】 メモリトランジスタをブロック分離用トランジスタとして用いて消去ブロックを設定する不揮発性半導体記憶装置を提供する。

【解決手段】 不揮発性半導体記憶装置は、複数の電氣的書き換え可能な不揮発性メモリトランジスタが直列接続されて構成されたNANDストリングが配列されたメモリセルアレイと、前記メモリセルアレイの消去、書き込み及び読み出しを行うための消去／書き込み／読み出し制御回路とを有し、前記メモリセルアレイの各NANDストリング内の少なくとも一つのメモリトランジスタが、前記メモリセルアレイをそれぞれデータ消去の単位となる複数ブロックに分割するためのブロック分離用トランジスタとして制御される。

【選択図】 図3

認定・付加情報

特許出願の番号	特願 2003-351893
受付番号	50301692333
書類名	特許願
担当官	末武 実 1912
作成日	平成15年10月14日

<認定情報・付加情報>

【提出日】 平成15年10月10日

特願 2 0 0 3 - 3 5 1 8 9 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝